

【特許請求の範囲】

【請求項1】複数の画素により構成された表示部と、該表示部の制御を行う制御部を有する画像表示装置において、

デジタル表示データをアナログ画像信号に変換するDA変換部を有し、

前記DA変換部は、第1のDA変換部と、第2のDA変換部により構成され、

前記第1のDA変換部の動作時の消費電力は、前記第2のDA変換部の動作時の消費電力よりも小さく、

前記DA変換部は、前記制御部の命令に応じて前記第1のDA変換部と前記第2のDA変換部のどちらかを動作させて前記表示部に変換したアナログ画像信号を出力し、

前記表示部は、前記制御部の命令に応じて前記表示部の独立表示画素の数を変えて前記アナログ画像信号に応じて表示を行う画像表示装置。

【請求項2】前記表示部には、該表示部の走査の制御を行うゲート線シフトレジスタが接続されており、前記制御部は前記ゲート線シフトレジスタに命令を出力し、

該ゲート線シフトレジスタにより前記表示部の独立表示画素の数を変えて表示を行う請求項1の画像表示装置。

【請求項3】前記制御部は、モード切り替え命令に応じて前記DA変換部及び前記ゲート線シフトレジスタに命令を行う請求項2の画像表示装置。

【請求項4】前記モード切り替え命令は、前記第1のDA変換部により変換処理を行わせる第1のモードと、前記第2のDA変換部により変換処理を行わせる第2のモードであり、

前記表示部は、複数のゲート線と、該複数のゲート線に交差するように配置した複数の信号線により、該複数のゲート線と信号線により囲まれた領域に対応して画素が構成されているものであり、

前記ゲート線シフトレジスタは、前記第1のモードによる命令の場合に、前記複数のゲート線のうち少なくとも2本のゲート線を同じタイミングで制御し、

前記第1のDA変換部は変換した1つのアナログ画像信号を少なくとも2本の信号線に出力する請求項3の画像表示装置。

【請求項5】容量の異なる2つのメモリを有し、該2つのメモリは、前記第1のDA変換部及び前記第2のDA変換部に、それぞれ対応している請求項1～3のいずれかに記載の画像表示装置。

【請求項6】前記表示部、前記DA変換部、前記ゲート線シフトレジスタ、及び前記2つのメモリのうちの容量の小さいメモリは同一の基板上に配置され、該容量の小さいメモリは、poly-Siにより形成されている請求項5の画像表示装置。

【請求項7】前記第1のDA変換部には、前記容量の小

さいメモリが対応しており、

前記第2のDA変換部には、容量の大きいメモリが対応している請求項5または6の画像表示装置。

【請求項8】前記第1のDA変換部及び前記第2のDA変換部は、それぞれbit数の異なるアナログ画像信号に変換するものである請求項1～7のいずれかに記載の画像表示装置。

【請求項9】前記第1のDA変換部及び前記第2のDA変換部は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換するものである請求項1～7のいずれかに記載の画像表示装置。

【請求項10】前記第1のDA変換部は、2値の信号階調のアナログ画像信号を出力する請求項1～9のいずれかに記載の画像表示装置。

【請求項11】前記表示部に光を供給する照明手段を有し、

該照明手段は、前記第2のモードの場合に、前記表示部に光を供給する請求項1～10のいずれかに記載の画像表示装置。

【請求項12】複数の画素により構成された表示部と、該表示部の制御を行う制御部を有する画像表示装置において、

デジタル表示データをアナログ画像信号に変換するDA変換部を有し、

前記DA変換部は、第1のDA変換部と、第2のDA変換部により構成され、

前記第1のDA変換部及び前記第2のDA変換部は、それぞれbit数の異なるアナログ画像信号に変換するものである画像表示装置。

【請求項13】前記制御部の命令に応じて、前記第1のDA変換部、または前記第2のDA変換部の一方により、デジタル表示データをアナログ画像信号に変換する請求項12の画像表示装置。

【請求項14】前記制御部は、モード切り替え命令に応じて前記第1のDA変換部または前記第2のDA変換部のいずれかに命令を行う請求項13の画像表示装置。

【請求項15】容量の異なる2つのメモリを有し、該2つのメモリは、前記第1のDA変換部及び前記第2のDA変換部にそれぞれ対応している請求項12～14のいずれかに記載の画像表示装置。

【請求項16】前記表示部、前記DA変換部、前記ゲート線シフトレジスタは同一の基板上に配置されており、前記表示部は矩形で形成されており、

前記DA変換部の第1のDA変換部と第2のDA変換部は、前記表示部の上下に配置されている請求項12～15のいずれかに記載の画像表示装置。

【請求項17】前記基板上には、前記2つのメモリのうちの容量の小さいメモリも配置されており、該容量の小さいメモリは、poly-Siにより形成されている請求項15の画像表示装置。

【請求項18】前記モード切り替え命令は、前記第1のDA変換部により変換処理を行わせる第1のモードと、前記第2のDA変換部により変換処理を行わせる第2のモードであり、

前記第1のDA変換部は、前記容量の小さいメモリが対応しており、

前記第2のDA変換部には、容量の大きいメモリが対応している請求項15～17のいずれかに記載の画像表示装置。

【請求項19】前記表示部は、前記制御部の命令に応じて前記表示部の独立表示画素の数を変えて前記アナログ画像信号に応じて表示を行う請求項13～18のいずれかに記載の画像表示装置。

【請求項20】前記第1のDA変換部は、2値の信号階調のアナログ画像信号を出力する請求項12～19のいずれかに記載の画像表示装置。

【請求項21】前記表示部に光を供給する照明手段を有し、  
該照明手段は、前記第2のモードの場合に、前記表示部に光を供給する請求項12～20のいずれかに記載の画像表示装置。

【請求項22】複数の画素により構成された表示部と、  
該表示部の制御を行う制御部を有する画像表示装置において、

デジタル表示データをアナログ画像信号に変換するDA変換部を有し、

前記DA変換部は、第1のDA変換部と、第2のDA変換部により構成され、

前記第1のDA変換部及び前記第2のDA変換部は、それぞれフレーム周波数が異なるアナログ画像信号に変換するものである画像表示装置。

【請求項23】前記制御部の命令に応じて、前記第1のDA変換部、または前記第2のDA変換部の一方により、デジタル表示データをアナログ画像信号に変換する請求項22の画像表示装置。

【請求項24】前記制御部は、モード切り替え命令に応じて前記第1のDA変換部または前記第2のDA変換部のいずれかに命令を行う請求項23の画像表示装置。

【請求項25】前記第1のDA変換部は、2値の信号階調のアナログ画像信号を出力する請求項22～24のいずれかに記載の画像表示装置。

【請求項26】前記表示部に光を供給する照明手段を有し、

該照明手段は、前記第2のモードの場合に、前記表示部に光を供給する請求項22～25のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は特に低消費電力で画像表示が可能な、液晶画像表示装置に関する。

【0002】

【従来の技術】以下、図23を用いて従来の技術に関して説明する。

【0003】図23は従来の技術を用いたTFT液晶表示パネルの構成図である。液晶容量201と画素スイッチ202を有する表示画素200がマトリクス状に配置され、画素スイッチ202のゲートはゲート線203を介してゲート線シフトレジスタ204に接続されている。また画素スイッチ202の一端は信号線205を介してDA変換器206AないしDA変換器206Bに接続されている。DA変換器206A、Bにはラインメモリ207A、Bが接続されており、ラインメモリ207A、Bには表示データ入力線209A、Bとシフトレジスタ208A、Bが入力している。以上の各構成回路部分は、同一基板上にpoly-Si TFTを用いて構成されている。なおここでDA変換器206、ラインメモリ207、シフトレジスタ208とから構成される画素駆動回路は図示のように画素部の上下に設けられているが、例えば奇数列の信号線205は上部の駆動回路へ、偶数列の信号線205は下部の駆動回路へと接続されている。

【0004】以下、本従来例の動作を説明する。表示データ入力線209A、Bを介して入力されたデジタル表示データは、シフトレジスタ208A、Bによってラインメモリ207A、Bに順次書込まれる。次いでこのラインメモリ207A、Bに記憶された表示データはDA変換器206A、Bに並列に入力され、DA変換器206A、Bはこれをアナログ画像信号電圧として信号線205上に出力する。このときゲート線シフトレジスタ204によって選択された所定の表示画素行の画素スイッチ202がターンオンすると、上記のアナログ画像信号電圧は選択された表示画素の液晶容量201に書き込まれる。以上の動作によって、本TFT液晶パネルは入力された表示データに基づく画像表示が可能となる。なおここで上記のように奇数列の信号線205は上部の駆動回路へ、偶数列の信号線205は下部の駆動回路へと接続されているため、上下の駆動回路は同期して駆動され、一画面の表示は上下の駆動回路で分担される。なおここで上下の回路は同一の条件で画素を駆動する役割を担っているため、明らかに両者は基本的に同一の回路構成である。

【0005】なお本従来技術に関しては、例えばISSCC(International Solid-State Circuits Conference) 2000, Digest of technical papers, pp.188-189に詳しく記載されている。

【0006】

【発明が解決しようとする課題】IMT-2000(International Mobile Telecommunications 2000)の実用化に伴い、携帯情報機器にQCIF(Quarter common intermediate format, 144×176画素)やCIF(28

8×352画素)以上の画素数を用いた高品位の画像表示パネルを搭載したいという要求が強まっている。その一方で二次電池を軽量化し、携帯情報機器を軽くすることを目的として、画像表示パネルに対しては同時に低消費電力化の要求も日増しに強くなっている。これに対して上記従来技術によれば、液晶パネル表示画像の高品位化と低消費電力化を両立させて行くことは本質的に困難であった。これは画素数を向上させて表示画像の高品位化を図れば、液晶パネルの動作周波数の増加を招くため、必然的に消費電力が増加してしまうからである。

【0007】本発明の目的は、低消費電力の画像表示装置を提供することにある。

【0008】別の目的としては、低消費電力と高品位画像を両立する画像表示装置を提供することにある。

【0009】

【課題を解決するための手段】本出願の画像表示装置の第一の実施形態によると、複数の画素により構成された表示部と、この表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有しており、このDA変換部は、第1のDA変換部と第2のDA変換部により構成されて、第1のDA変換部の動作時の消費電力は、第2のDA変換部の動作時の消費電力よりも小さく、また、このDA変換部は、制御部の命令に応じて第1のDA変換部と第2のDA変換部のどちらかを動作させて、表示部に変換したアナログ画像信号を出力し、表示部は制御部の命令に応じて表示部の独立表示画素の数を変えてアナログ画像信号に応じた表示を行うというものである。

【0010】本出願の画像表示装置の第二の実施形態によると、複数の画素により構成された表示部と、表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有し、このDA変換部は、第1のDA変換部と、第2のDA変換部により構成され、第1のDA変換部及び第2のDA変換部は、それぞれbit数の異なるアナログ画像信号に変換するというものである。

【0011】本出願の第三の実施形態によると、複数の画素により構成された表示部と、この表示部の制御を行う制御部と、デジタル表示データをアナログ画像信号に変換するDA変換部を有し、このDA変換部は、第1のDA変換部と、第2のDA変換部により構成され、第1のDA変換部及び第2のDA変換部は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換するというものである。

【0012】

【発明の実施の形態】本発明について以下実施例により説明する。

(第一の実施例)図1～図12を用いて、本発明の第一の実施例に関して説明する。

【0013】始めに本実施例の全体構成に関して述べ

る。

【0014】図1は本実施例であるpoly Si-TFT液晶表示パネルの構成図である。

【0015】液晶容量1と画素スイッチ2を有する表示画素10がマトリクス状に配置されて表示部50を構成しており、画素スイッチ2のゲートはゲート線3を介してゲート線シフトレジスタ4に接続されている。また画素スイッチ2の一端は信号線5を介して低消費電力DA変換器6及び高精度DA変換器11に接続されている。低消費電力DA変換器6にはSRAMで構成されるフレームメモリ7が入力しており、フレームメモリ7にはタイミングコントローラ(TCON)14が接続されている。尚、このTCON14は、表示パネルの制御を行うものであるため、パネルコントローラと表現しても良い。高精度DA変換器11にはラインメモリ12が入力しており、ラインメモリ12には更にTCON14が入力している。TCON14にはDRAMで構成されるフレームメモリ13が入力し、更にバス18の一端が接続されている。バス18には他に主演算処理ユニット(MPU)15、入出力回路(I/O)16等が接続されており、I/O16はバックライトユニット17を制御している。尚、TCON14、MPU15、I/O16を含めて制御部20として呼ぶこともできる。この中にバス18は、この制御部20の中にも含めても良いし含めなくても良い。ここで表示画素10、ゲート線シフトレジスタ4、低消費電力DA変換器6、フレームメモリ7、高精度DA変換器11、ラインメモリ12等の画素駆動回路の各構成要素は、単一のガラス基板19上にpoly-Si-TFTを用いて構成されており、これらの構成要素にはTCON14によって制御タイミング信号が供給されている。一方TCON14、フレームメモリ7、MPU15、I/O16等は単結晶Si-LSIチップで構成されている。なおここでは液晶の共通電極、カラーフィルタやバックライト構成等、カラーTFTパネルの構築に必要な一般的な構造やバス18の先の記載は、図面の簡略化のために省略している。

【0016】次に本実施例の全体の動作を説明する。なお各部分の詳細な動作に関しては、この後に個々の構成要素の説明の中で順次述べて行くことにする。

【0017】MPU15はTCON14を介してフレームメモリ7とフレームメモリ13にデジタル画像表示データを転送し、更にTCON14を介して表示パネルの画素駆動回路を制御する。ここで本実施例は「低消費電力表示モード」と「高品位表示モード」の2つの表示モードを有している。「低消費電力表示モード」選択時には、MPU15とTCON14は専らフレームメモリ7を用いてパネルへの書き込みやフレームメモリ7からMPU15への画像表示データの読み出しを行う。フレームメモリ7に書き込まれた画像表示データは、順次読み出されて低消費電力DA変換器6に入力され、アナログ画

像信号となってゲート線シフトレジスタ4で選択された画素の液晶容量1に書き込まれる。この「低消費電力表示モード」時には、高精度DA変換器11、ラインメモリ12、DRAMであるフレームメモリ13等は基本的には駆動されないため、これらが電力を消費することはない。このとき駆動されている回路は後に述べるように画素行単位で並列出力及びDA変換が可能なフレームメモリ7や低消費電力DA変換器6等であるため、駆動周波数を低く抑えることによって液晶表示パネルの低消費電力駆動を可能にしている。

【0018】次に「高品位表示モード」選択時には、MPU15は専らフレームメモリ13を用いてパネルへの書き込みやフレームメモリ13からMPU15への画像表示データの読み出しを行う。フレームメモリ13に書き込まれた画像表示データは、順次読み出されてTCON14、ラインメモリ12を介して高精度DA変換器11に入力され、アナログ画像信号電圧となってゲート線シフトレジスタ4で選択された画素の液晶容量1に書き込まれる。この「高品位表示モード」時には、基本的に低消費電力DA変換器6は駆動されないが、フレームメモリ7には「低消費電力表示モード」表示時の画像表示データを貯えておくことができる。フレームメモリ7はパネル額縁の省面積化のためにあまり大容量に設計することは適当ではないが、フレームメモリ13はDRAM-LSIであり、比較的容易に大容量化が可能である。このため後述するように、「高品位表示モード」の画素データ（デジタル画像表示データ2）の量は、後述するように「低消費電力表示モード」のそれ（デジタル画像表示データ1）よりも著しく大きくなっている。

【0019】なおここでMPU15はバス18とI/O16を介してバックライトユニット17を制御する。原則として「低消費電力表示モード」時にはバックライトユニットを駆動させずに反射型液晶表示を選択することにより電力消費を低減し、「高品位表示モード」時にはバックライトユニットを駆動して表示画素アレイに対して裏面照明を行うことにより、より高品位な透過型液晶表示を行う。本実施例はこのように低消費電力DA変換器6を用いる「低消費電力表示モード」と、高精度DA変換器11を用いる「高品位表示モード」とを使い分けることによって、携帯情報機器における待機時の超低消費電力化と、動画を含む高品位表示とを両立させることが可能である。

【0020】このモード切り替えは、例えば制御部20のMPU15に切り替え命令40が入力されることにより切り替えることができる。この切り替えは、ユーザの指示による切り替えにより命令を発生して切り替え命令を行うというものである。

【0021】以下、本実施例の各部の構成要素及びその動作に関して順を追って説明を行う。

【0022】以下図2～図5を用いてフレームメモリ7

に関してその構成及び動作を説明する。

【0023】図2はフレームメモリ7の回路構成図である。マトリクス状に配列されたSRAMメモリセル21には行方向にワード線22が接続されており、ワード線22の一端はワード線選択スイッチ25を介して、ワード線シフトレジスタ24或いはYデコード23に接続されている。またメモリセル21は列方向にはデータ線26及び反転データ線27に接続されている。データ線26と反転データ線27にはそれぞれデータ線リセットスイッチ38と反転データ線リセットスイッチ39が、更に両者の間にはデータ線短絡スイッチ29が設けられている。反転データ線27の一端には書き込み信号（図中のW）で動作する反転データ線バッファ28が設けられており、その入力端子はデータ線26である。データ線26の一端にはデータ入力スイッチ30が設けられており、データ入力スイッチ30の他端はデータ入力線32に接続されると同時に、データ入力スイッチ30はXデコード31によって選択される。なおデータ入力線32の両端には、それぞれ書き込み信号（図中のW）で動作するデータ入力バッファ33及び読み出し信号（図中のR）で動作するデータ出力バッファ34が接続されている。一方反転データ線27の他端には、ラッチ信号（図中のL1）で動作するデータ線ラッチa35、インバータ36、反転ラッチ信号（図中のL1バー）で動作するデータ線ラッチb37からなる1ビットメモリが配置されている。

【0024】図3は図2で示したバッファないしラッチ回路41の回路構成図である。バッファないしラッチ回路41はCMOSクロックインバータ構成になっており、pチャネルpoly-Si TFT42、43とnチャネルpoly-Si TFT44、45とが相補的な信号パルスφで駆動されるため、信号パルスの選択によって、インバータ出力であるVdd、Vss或いは出力開放の3種類の状態出力を有している。

【0025】図4はSRAMメモリセル21の回路構成図である。メモリセル本体はpチャネルpoly-Si TFT51、52とnチャネルpoly-Si TFT53、54から構成されたフリップフロップ回路であり、ワード線22で制御されるワード線スイッチ55及び反転ワード線スイッチ56を介してデータ線26及び反転データ線27に接続されている。なおフリップフロップ回路の高電圧側は高電圧電源線57、低電圧側は低電圧電源線58によって電源が供給されている。

【0026】次に図5を用いてフレームメモリ7の動作を説明する。図5(a)及び(b)はそれぞれ、メモリセルからのデータの読み出し及びメモリセルへのデータの書き込み動作を示したタイミングチャートである。ここで上側は高電圧出力ないしオン状態、下側が低電圧出力ないしオフ状態を表している。

【0027】まず読み出しにおいては、データ線リセッ

トスイッチ38と反転データ線リセットスイッチ39が、データ線26と反転データ線27をそれぞれ低電圧と高電圧レベルにプリチャージする。その後リセットでは、データ線短絡スイッチ29がデータ線26と反転データ線27を短絡するため、データ線信号として図示したように、両者は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いでワード線シフトレジスタ24によって選択されたワード線22がオンすると、選択されたメモリセル21に記憶されているデータがデータ線26と反転データ線27にそれぞれ相反する信号電圧として読み出される。その後にデータ線ラッチa35とデータ線ラッチb36とをオン/オフさせることによって、メモリセル21に記憶されているデータをデータ線ラッチa35、インバータ36、データ線ラッチb37からなる1ビットメモリに読み出すことができる。なおメモリセルの内容をTC ON14を介してバス18に読み出す場合であるが、このときはYデコーダ23によって選択されたワード線22がオンすること、データ線26に読み出されたデータのうち、Xデコーダ31によって選択されたアドレスのデータが、データ入力スイッチ30、データ入力線32、データ出力バッファ34を介して出力されることを除けば、データを1ビットメモリに読み出す上記の例と同様である。

【0028】次に書き込みにおいても、データ線リセットスイッチ38と反転データ線リセットスイッチ39が、データ線26と反転データ線27をそれぞれ低電圧と高電圧レベルにプリチャージし、その後のリセットで、データ線短絡スイッチ29がデータ線26と反転データ線27を短絡して両者を低電圧と高電圧レベルのほぼ中間値にリセットするまでは読み出しの動作と同様である。次いでXデコーダ31で選択されたデータ入力スイッチ30がオンすると、データ入力バッファ33からデータ入力線32に入力された入力データがデータ線26及び反転データ線27に入力される。この状態でYデコーダ23によって選択されたワード線22がオンすると、Xデコーダ31によって選択されたメモリセル21には、データ線26及び反転データ線27に入力されていた入力データが書き込まれる。なおこのとき、Xデコーダ31によって選択されていないメモリセル21のデータは、上記書き込み動作によっても変化することがないのは明らかである。

【0029】次に図6、図7を用いて、低消費電力DA変換器6の構成及び動作を説明する。

【0030】図6は低消費電力DA変換器6の一分列に相当する基本単位の回路構成図である。フレームメモリ7から出力されたデータは2ビット毎にデータデコーダ61に入力し、データデコーダ61からは4本の出力線65が延びている。各出力線65にはアナログ電圧選択スイッチ62が設けられており、アナログ電圧選択スイッチ62の一端は基準電圧線63に接続されている。ア

ナログ電圧選択スイッチ62の他端は一本に合流してアナログ信号線66となっている。なおデータデコーダ61には別に、フィールド反転信号線64が入力している。

【0031】図7は上記アナログ信号線66から表示画素マトリクスまでの構成を示している。なおカラー表示のために画素マトリクスにはRGB3色のストライプフィルタが設けられているが、このフィルタ色の区別をR、G、Bとして図示した。アナログ信号線66は2本に分岐し、低消費電力DA出力スイッチ67を介して、それぞれ同じ色のカラーフィルタを有する隣接した信号線5に接続されている。

【0032】次に低消費電力DA変換器6の動作であるが、フレームメモリ7から出力されたデータは2ビットで一単位の画像データを表している。これに対してデータデコーダ61は2ビットから4値へのデコード処理を行い、出力線65を介して4本のアナログ電圧選択スイッチ62のいずれかをオンにする。これによってアナログ信号線66には選択されたいずれかの基準電圧線63の電圧が印加される。なおここで本実施例においては基準電圧線63の本数を減らすために、液晶の共通電極をフィールド間で0/5Vの交流で駆動している。このときデータデコーダ61の出力は、例えば同じ黒色でもフィールド間で4V/1Vと反転させなければならない。そのためにデータデコーダ61はデコードに際して、液晶共通電極の極性情報を得るためにフィールド反転信号線64を用いている。

【0033】さてここでアナログ信号線66の本数は、表示画素の列の数の半分の本数しか設けられていない。そこでアナログ信号線66は途中で2つに分岐し、「低消費電力表示モード」でのみオンする低消費電力DA出力スイッチ67を介して、同じ色のカラーフィルタを有する隣接した2本の信号線5に対して、先に選択された基準電圧線63の電圧を等しく入力するのである。このように本実施例では、フレームメモリ7に記憶する列方向の画素データの数を表示画素の列の数の半分にするによって、液晶表示パネルの額縁に配置されるフレームメモリ7の占有面積の削減及び消費電力低減を図っている。

【0034】次に図8を用いて、ゲート線シフトレジスタ4の構成及び動作を説明する。

【0035】図8はゲート線シフトレジスタ4の回路構成図である。ゲート線を順次走査するためのシフトレジスタ回路70の出力は2組ずつOR回路71に入力しており、OR回路71の出力は分岐してペア走査スイッチ72を経てゲート線3に接続されている。またこれらとは別に、シフトレジスタ回路70の出力を直接ゲート線3に接続する順次走査スイッチ73も設けられている。

【0036】シフトレジスタ回路70は順次その出力を選択するが、「低消費電力表示モード」ではペア走査ス



イッチ72がオン状態にあり、順次走査スイッチ73がオフ状態にあるため、隣接する上下のゲート線は2本毎が同時に走査される。本実施例ではこのように隣接する2行の表示画素に等しいアナログ信号電圧を書き込むことによって、フレームメモリ7に記憶する行方向の画素データの数を表示画素の行の数の半分にし、フレームメモリ7の占有面積の削減及び消費電力低減を図っている。

【0037】次に図9を用いて、表示画素10の構成及び動作を説明する。

【0038】図9は表示画素10のレイアウト概要図である。列方向に信号線5、行方向にゲート線3が設けられており、その交点近傍にpoly-Si薄膜76を用いた画素スイッチ2が設けられている。また画素スイッチ2の一端には、金属電極75と透明電極（簡略化のために図示せず）からなる液晶容量形成用の電極が形成されている。なおここで図中に正方形で示してあるのはコンタクト部である。

【0039】ゲート線3が選択されると信号線5に印加されている電圧が液晶容量1に書き込まれ、液晶の光学特性を変調させて画像表示を行う。ここでバックライト17を点灯した場合には、バックライトの光は金属電極75のない部分から液晶層を透過し、透過型液晶表示パネルとして画像が表示される。一方バックライト17を点灯しない場合にも、表示面上方からの入射光が金属電極75で反射され、同様に液晶層を透過するため、本実施例は反射型液晶表示パネルとしても画像を表示することができる。本実施例においては、「低消費電力表示モード」選択時には基本的にはバックライト17を点灯しないことを前提としているが、このような表示画素10の構成を採用することによって、反射型の画像表示をも同時に可能としている。

【0040】次に図10を用いて、ラインメモリ12の構成及び動作を説明する。

【0041】図10はラインメモリ12の3列分の回路構成図である。フレームメモリ13から出力されたデータ入力線79はデータ線ラッチc82、インバータ83、データ線ラッチd84からなる第一のラッチ回路に入力し、更にその出力はラッチ信号（図中のL2）で動作するデータ線ラッチe85、インバータ86、反転ラッチ信号（図中のL2バー）で動作するデータ線ラッチf87からなる第二のラッチ回路を経て、データ線88に接続されている。ここで第一のラッチ回路はシフトレジスタ回路80と、これに接続されたインバータ81により制御されている。

【0042】フレームメモリ13からはTCON14を介してデジタル表示データが、データ入力線79に順次入力されてくる。シフトレジスタ回路80はこれに同期して、入力されたデジタル素子データをデータ線ラッチc82、インバータ83、データ線ラッチd84からな

る第一のラッチ回路にサンプリングする。一ライン分のデータ入力完了すると、データ線ラッチe85、インバータ86、データ線ラッチf87からなる第二のラッチ回路が駆動され、第一のラッチ回路群に記憶されていた1ライン分のデータを記憶する。この後再び第一のラッチ回路は次のラインのデジタル表示データをサンプリングし始めるが、この間第二のラッチ回路はラッチしたデジタル表示データをデータ線88に出力し続ける。なお本実施例においてはフレームメモリ13から出力されるデジタル表示データは6ビットであるが、図面を簡略化するために、1ビット分に相当する回路のみを図示した。

【0043】次に図11、図12及び図7を用いて、高精度DA変換器11の構成及び動作を説明する。

【0044】図11は高精度DA変換器11の一単位の回路構成図である。

【0045】上記第二のラッチ回路から出力されたデータ線88は、6ビット分がまとめてマルチプレクサ92に輸入している。マルチプレクサ92には他にラダー抵抗90から延びる64本の基準電圧線91も輸入しており、マルチプレクサ92は6ビットのデジタルデータを元に64本の基準電圧線91の中から予め定められた一本を選択し、これをSW3 95、SW5 96、SW6 98に接続する。ラダー抵抗の両端には0Vと5Vが印加されており、64本の基準電圧線91にはこれらの中間の各電圧が入力されている。ここでSW3 95の他端はプリチャージTFT100のゲートとしきい値キャンセル容量99の一端に、SW5 96の他端はしきい値キャンセル容量99の他端とSW4 97の一端に、SW6 98の他端はSW4 97の他端と信号線101につながっている。また信号線101はSW1 93を介して-5Vと、またSW2 94を介してプリチャージTFT100のソースにも接続されており、poly-Siで構成されたプリチャージTFT100のドレインには高電圧、10Vが印加されている。

【0046】次に高精度DA変換器11の動作タイミングチャートである図12を用いて、高精度DA変換器11の動作を説明する。

【0047】まず1フィールドの始めに、しきい値キャンセル容量99へのプリチャージTFT100のしきい値電圧の書き込みが行われる。この期間はマルチプレクサ92の出力は5V電源電圧に固定されている。まず期間t1-t2で、SW1がオンして信号線101の電圧を-5Vにリセットする。次いで期間t2-t3でSW3とSW4がオンしてしきい値キャンセル容量99の両端を接続してから、期間t3-t4でSW1がオフしてSW2がオンする。これによってプリチャージTFT100はソースフォロアとして働き、信号線101の電圧を(5V-Vth)にまで充電する。充電が完了した後で、期間t4-t5でSW3がオフすると、しきい値キ

キャンセル容量99にはプリチャージTFT100のしきい値、 $V_{th}$ に相当する電圧が書き込まれたことになる。次いで期間 $t_5-t_6$ にSW4がオフした後で、SW5がオンする。これによってプリチャージTFT100のゲートには、常にマルチプレクサ92の出力よりも $V_{th}$ だけ高い電圧が入力されることになる。

【0048】以上のしきい値電圧書き込みの後で、引き続いて水平走査期間へ入る。各水平走査期間では、ラインメモリ19に記憶されていた1ライン分のデジタル表示データがDA変換されて、マルチプレクサ92から出力され、順次表示画素に書き込まれることになる。まず始めに期間 $t_a-t_b$ ではゲート線シフトレジスタ4で選択されたゲート線3がオンすると共に、SW1がオンして信号線101の電圧を $-5V$ にリセットする。続いて期間 $t_b-t_c$ ではSW2がSW1に変わってオンし、プリチャージTFT100はソースフォロアとして働くことによって、信号線101をほぼマルチプレクサ92から出力されているアナログ信号電圧にプリチャージする。このプリチャージが完了した後に、期間 $t_c-t_d$ でSW2に変わってSW6がオンすると、マルチプレクサ92は信号線101にアナログ信号電圧を直接書き込むことになる。ところがこの時点では、信号線101は既にほぼこのアナログ信号電圧にプリチャージされており、期間 $t_c-t_d$ で信号線101に書き込まれるのは、プリチャージ時の電圧ばらつきの補正のみである。従って本実施例においてはマルチプレクサ92から出力される電流は極めて小さく、また基準電圧線91に電流を供給するラダー抵抗90には直流的な電流は流れないため、その値を比較的大きい値に設計することが可能である。これによって本実施例ではラダー抵抗の貫通電流に起因する消費電力を、極めて小さい値にすることができた。上記のように本実施例においては、しきい値キャンセル容量99を用いてプリチャージTFT100の $V_{th}$ のキャンセルを行っている。これはSW6がオンしてマルチプレクサ92から信号線101にアナログ信号電圧を直接書き込む際に、信号線101に $V_{th}$ 相当の充電電流が流れることを回避するためである。これにより基準電圧線91に電流を供給するラダー抵抗90を十分大きな値に設計することを可能として、液晶表示パネルにおける消費電力の低減を図っている。

【0049】さて図11における上記信号線101の先は、先に示した図7の下端に接続されており、高精度DA出力スイッチ68を介して信号線5に繋がっている。この高精度DA出力スイッチ68と低消費電力DA出力スイッチ67は、それぞれ高精度DA変換器11と低消費電力DA変換器6のいずれかが選択されて駆動される「高品位表示モード」と「低消費電力表示モード」に対応して、いずれかがオンないしオフする。

【0050】なお先に述べたようにアナログ信号線66の本数は、表示画素の列の数の半分の本数しか設けられ

ていないのに対して、信号線101と表示画素の列の数は一致している。これは「低消費電力表示モード」では同じ色のカラーフィルタを有する隣接した2本の信号線5に対して、等しい信号データ電圧を供給することによってフレームメモリ7の消費電力及び占有面積の削減を図っていることに對して、「高品位表示モード」では個別の信号線5に対して異なる信号データ電圧を供給することによって、列方向には「低消費電力表示モード」の2倍の精細度を実現するためである。

【0051】更にゲート線シフトレジスタ4に関しては先に図8を用いて述べたように、「高品位表示モード」では、シフトレジスタ回路70は順次走査スイッチ73を用いてゲート線3を直接走査する。これにより、更に「高品位表示モード」の水平走査期間(1ライン期間)を「低消費電力表示モード」の半分とすることによって、「高品位表示モード」では行方向に対しても「低消費電力表示モード」の2倍の精細度を実現することが可能である。

【0052】以上の結果、「高品位表示モード」では「低消費電力表示モード」に対して4倍の解像度を実現することができる。具体的には本実施例においては「低消費電力表示モード」の画素数はQCIF(144×176画素)であり、「高品位表示モード」の画素数はCIF(288×352画素)フォーマットに準拠している。これに加えて更に既に述べたように、「低消費電力表示モード」の画像データはRGB各2ビット、「高品位表示モード」の画像データはRGB各6ビットである。このためにDRAM-LSIで構成されたフレームメモリ13の記憶容量は、ガラス基板19上にpoly-Si TFTを用いたSRAMで構成されたフレームメモリ7の記憶容量よりも12倍も大きく設計されている。

【0053】なお本実施例においては、前述のように表示画素10、ゲート線シフトレジスタ4、低消費電力DA変換器6、フレームメモリ7、高精度DA変換器11、ラインメモリ12等はpoly-Si TFT素子を用いてガラス基板19上に構成されている。しかしながらガラス基板に変えて、石英基板、透明プラスチック基板等の透明絶縁基板を用いることも明らかに可能である。

【0054】また上記諸回路におけるTFTのn型、p型の導電型と電圧関係を逆に構成することや、その他の回路構成を用いることも、本発明の原理を損なわない範囲で可能であることは言うまでもない。

【0055】また本実施例では「低消費電力表示モード」の画像データを2bit、画素データ数を144×176画素とし、「高品位表示モード」の画像データを6bit、画素データ数を288×352画素としたが、これらの値が本発明の趣旨の範囲で変更可能であることは言うまでもない。

【0056】更に本実施例の駆動方法として、「低消費電力表示モード」選択時の1秒当たりのフレーム枚数



(フレームレート)を、「高品位表示モード」選択時の1秒当たりのフレーム枚数(フレームレート)よりも少なくする駆動法が選択可能である。これは「低消費電力表示モード」選択時には反射型の液晶モード表示を行うため、表示画像のコントラストが比較的低く、フレームレートを低減してもフリッカが目につきにくいことによるものである。このために例えば「高品位表示モード」のフレームレートを60Hzとしても、「低消費電力表示モード」のフレームレートを15Hz程度に低減することが可能である。これによって「低消費電力表示モード」選択時の基本駆動周波数を低減し、更なる低消費電力化を図ることができる。

【0057】なお本実施例では、「低消費電力表示モード」と「高品位表示モード」におけるゲート線シフトレジスタ4の走査機能を、ベア走査スイッチ72と順次走査スイッチ73を切替えることにより、隣接する上下のゲート線を2本毎に同時に走査する場合と各ゲート線を個別に走査する場合とに切替え可能とした。しかしながらゲート線シフトレジスタ4にはその他にも類似の機能を有する回路構成を採用することが可能である。例えば「低消費電力表示モード」では隣接する上下のゲート線を3本以上毎に同時に走査する場合や、或いは「低消費電力表示モード」用と「高品位表示モード」用に個別のシフトレジスタ回路70を設ける、更にこれらの個別に設けたシフトレジスタ回路70を表示画素マトリクスの左右に配置する等、本発明の趣旨を逸脱しない範囲内で種々の構成を用いることができる。

【0058】この他、本実施例では諸スイッチ群にCMOSスイッチ、画素TFT12はn型TFTスイッチを採用したが、p型TFTを含むいずれのスイッチ構成をこれらに用いても本発明の適用は可能である。また本発明の趣旨を逸脱しない範囲で、多様なレイアウト形状が適用可能であることも言うまでもない。

【0059】以上のような構成であるが、本発明を整理すると、複数の画素10により構成された表示部50と、この表示部50の制御を行う制御部20を有する画像表示装置で、この画像表示装置は、デジタル表示データをアナログ画像信号に変換するDA変換部(低消費電力DA変換器6と高精度DA変換器11)を有している構成である。このDA変換部は、第1のDA変換部(低消費電力DA変換器6)と、第2のDA変換部(高精度DA変換器11)により構成されて、この2つのDA変換部を動作時の消費電力の点で比較すると、第1のDA変換部の動作時の消費電力は、前記第2のDA変換部の動作時の消費電力よりも小さい構成とする。制御部20の命令に応じて第1のDA変換部と第2のDA変換部のどちらかを動作させて表示部50に変換したアナログ画像信号を出力し、表示部50は制御部20の命令に応じて表示部50の互いに異なるデジタル表示データに対応する表示画素(独立表示画素)の数を変えてアナログ画像

信号に応じて表示を行うというものである。

【0060】このような構成により、高精細な表示としたい画像と、それほど精細度を求めない画像を表示したい場合を分けて、それぞれの要求に応じた制御とすることで、高品位表示と低消費電力を両立させた画像表示装置を提供できるというものである。

【0061】また、広い意味では、低消費電力の画像表示装置を提供できるというものである。

【0062】さらには表示部50には、表示部50の走査の制御を行うゲート線シフトレジスタ4が接続されており、制御部20は接続されているゲート線シフトレジスタ4に命令を出力する。そして、ゲート線シフトレジスタ4により表示部50の独立表示画素の数を変えて表示を行うというものである。この制御部50は、モード切り替え命令40に応じてDA変換部(6又は11)及びゲート線シフトレジスタ4に命令を行うというものである。

【0063】モードを切り替えるために、モード切り替え命令を、第1のDA変換部により変換処理を行わせる第1のモードと、第2のDA変換部により変換処理を行わせる第2のモードとする。表示部50は、複数のゲート線3と、これら複数のゲート線3に交差するように配置した複数の信号線5により、複数のゲート線3と信号線4により囲まれた領域に対応して画素10が構成されているものであり、ゲート線シフトレジスタ4は、第1のモードによる命令の場合に、複数のゲート線のうち少なくとも2本のゲート線を同じタイミングで制御し、第1のDA変換部は変換した1つのアナログ画像信号を少なくとも2本の信号線に出力することができる。

【0064】さらには、この画像表示装置に、第1のDA変換部及び第2のDA変換部にそれぞれ対応した容量の異なる2つのメモリ(フレームメモリ7、13)を配置する。

【0065】また、さらには表示部50、DA変換部(6、11)、ゲート線シフトレジスタ4、及び2つのメモリのうちの容量の小さいメモリ7を同一の基板上に配置し、容量の小さいメモリをpoly-Siにより形成する構成も考えられる。

【0066】尚、第1のDA変換部には、容量の小さいメモリが対応し、第2のDA変換部には、容量の大きいメモリが対応する構成も考えられる。

【0067】さらには、第1のDA変換部6及び第2のDA変換部7は、それぞれbit数の異なるアナログ画像信号に変換する構成が考えられる。

【0068】さらには、第1のDA変換部6及び第2のDA変換部7は、それぞれ最大駆動周波数が異なるアナログ画像信号に変換する構成が考えられる。

【0069】さらには、第1のDA変換部6は、2値の信号階調のアナログ画像信号を出力する構成が考えられる。

【0070】さらには、この画像表示装置の表示部50に光を供給する照明手段（例えばバックライト17）を有し、照明手段は、第2のモードの場合に、表示部50に光を供給する構成とすることが考えられる。

【0071】また、別の見方で本発明を整理すると、複数の画素により構成された表示部50と、この表示部50の制御を行う制御部20を有する画像表示装置で、デジタル表示データをアナログ画像信号に変換するDA変換部（低消費電力DA変換器6、高精度DA変換器11）を有している。DA変換部は、第1のDA変換部（低消費電力DA変換器6）と、第2のDA変換部（高精度DA変換器11）により構成され、第1のDA変換部及び第2のDA変換部は、それぞれbit数の異なるデジタル表示データをアナログ画像信号に変換するというものである。

【0072】制御部20の命令に応じて、第1のDA変換部、または第2のDA変換部の一方により、デジタル表示データをアナログ画像信号に変換する構成が考えられる。

【0073】また、制御部20は、モード切り替え命令40に応じて第1のDA変換部または第2のDA変換部のいずれかに命令を行って画像表示装置の制御を行うというものである。

【0074】さらには、この画像表示装置の第1のDA変換部及び第2のDA変換部にそれぞれ対応して容量の異なる2つのメモリ（フレームメモリ7、13）を有する構成が考えられる。

【0075】また、表示部50、DA変換部（6、11）、ゲート線シフトレジスタ4を同一の基板上に配置し、表示部50は矩形で形成し、第1のDA変換部と第2のDA変換部は、表示部の上下に配置する構成も考えられる。

【0076】また、基板上に、前述した2つのメモリのうちの容量の小さいメモリを配置し、容量の小さいメモリは、poly-Siにより形成する構成も考えられる。

【0077】またモード切り替え命令40を、第1のDA変換部により変換処理を行わせる第1のモードと、第2のDA変換部により変換処理を行わせる第2のモードとし、第1のDA変換部は、容量の小さい方のメモリが対応しており、第2のDA変換部には、容量の大きい方のメモリが対応している構成も考えられる。

【0078】また、表示部50は、制御部20の命令に応じて表示部50の独立表示画素の数を変えてアナログ画像信号に応じて表示を行う構成も考えられる。

【0079】また、第1のDA変換部を、2値の信号階調のアナログ画像信号を出力する構成も考えられる。

【0080】さらには、画像表示装置の表示部50に光を供給する照明手段（バックライト17）を有し、照明手段は、第2のモードの場合に、表示部50に光を供給する構成も考えられる。

【0081】さらに、別の見方で本発明を整理すると、複数の画素により構成された表示部50と、この表示部50の制御を行う制御部20を有する画像表示装置で、デジタル表示データをアナログ画像信号に変換するDA変換部（低消費電力DA変換部6、高精度DA変換部11）を有している。DA変換部は、第1のDA変換部（低消費電力DA変換部6）と、第2のDA変換部（高精度DA変換部11）により構成され、第1のDA変換部及び第2のDA変換部は、それぞれフレーム周波数が異なるアナログ画像信号に変換するというものである。

【0082】また、制御部20の命令に応じて、第1のDA変換部、または第2のDA変換部の一方により、デジタル表示データをアナログ画像信号に変換する構成が考えられる。この制御部20は、モード切り替え命令40に応じて第1のDA変換部または第2のDA変換部のいずれかに命令を行うというものである。

【0083】また、第1のDA変換部は、2値の信号階調のアナログ画像信号を出力する構成も考えられる。

【0084】さらには、本発明の画像表示装置の表示部50に光を供給する照明手段（バックライト17）を有し、この照明手段は、第2のモードの場合に、表示部50に光を供給する構成とすることが考えられる。

（第二の実施例）以下、本発明における第二の実施例について、図13～図15を用いて説明する。

【0085】第二の実施例であるpoly-Si TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。本実施例における第一の実施例との差異は、「低消費電力表示モード」で用いるフレームメモリの構成と動作である。以下これに関して述べる。

【0086】図13は、本実施例において「低消費電力表示モード」で用いているフレームメモリ7の構成図であり、第一の実施例の説明における図2に対応するものである。マトリクス状に配列されたSRAMメモリセル111には行方向にワード線112及びラッチ線113が接続されており、ワード線112及びラッチ線113の一端は行駆動スイッチ120、バッファ119、行選択スイッチ121を経て、ワード線シフトレジスタ24或いはYデコーダ23に接続されている。またメモリセル111は列方向にはデータ線114に接続されている。データ線114は2本一組で構成され、各々にはデータ線Vddリセットスイッチ118或いはデータ線Vssリセットスイッチ117が、更に両者の間にはデータ線間短絡スイッチ116が設けられている。なおここでVddは5V、Vssは0Vに設定されている。データ線114の一端にはデータ入力スイッチ30が設けられており、データ入力スイッチ30の他端はデータ入力線32に接続されると同時に、データ入力スイッチ30はXデコーダ31によって選択される。なおデータ入力線32の両端には、それぞれ書き込み信号（図中のW）で動

作するデータ入力バッファ33及び読み出し信号(図中のR)で動作するデータ出力バッファ34が接続されている。一方データ線114の他端には、ラッチ信号(図中のL1)で動作するデータ線ラッチa35、インバータ36、反転ラッチ信号(図中のL1バー)で動作するデータ線ラッチb37からなる1ビットメモリが配置されている。

【0087】図14はSRAMメモリセル111の回路構成図である。メモリセル本体はpチャネルpoly-Si TFT125、126とnチャネルpoly-Si TFT127、128から構成されたフリップフロップ回路であるが、フリップフロップ回路の途中にラッチ線113で制御されるラッチスイッチ129が挿入されている。またこの回路は、ワード線112で制御されるワード線スイッチ130を介してデータ線114に接続されている。なおフリップフロップ回路の高電圧側はV<sub>dd</sub>=5Vを印加された高電圧電源線57に、低電圧側はV<sub>ss</sub>=0Vを印加された低電圧電源線58によって駆動されている。

【0088】次に図15を用いて本実施例における「低消費電力表示モード」で用いるフレームメモリの動作を説明する。図15(a)及び(b)はそれぞれ、メモリセル111からのデータの読み出し及びメモリセル111へのデータの書き込み動作を示したタイミングチャートである。なおここでは、上側は高電圧出力ないしオン状態、下側が低電圧出力ないしオフ状態を示している。

【0089】まず読み出しにおいては、データ線V<sub>dd</sub>リセットスイッチ118及びデータ線V<sub>ss</sub>リセットスイッチ117が、データ線114をそれぞれ高電圧(5V)と低電圧(0V)にプリチャージする。その後リセットとして、データ線間短絡スイッチ116が高電圧(5V)と低電圧(0V)にプリチャージされたデータ線114同士を短絡するため、データ線信号としては図示したように、データ線114は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いでワード線シフトレジスタ24によって選択されたワード線112が行選択スイッチ121、バッファ119、行駆動スイッチ120を介してオンされると、選択されたメモリセル111に記憶されているデータがデータ線114に信号電圧として読み出される。その後データ線ラッチa35とデータ線ラッチb36とをオン/オフさせることによって、メモリセル111に記憶されていたデータをデータ線ラッチa35、インバータ36、データ線ラッチb37からなる1ビットメモリに読み出すことができる。このときこのバッファ119、行駆動スイッチ120によって全てのラッチ線113を介して、全てのメモリセル111のラッチスイッチ129は常時オン状態である。なおメモリセルの内容をバス18に読み出す場合であるが、このときはYデコード23によって選択されたワード線112が行選択スイッチ121、バッファ119、

行駆動スイッチ120を介してオンされること、データ線114に読み出されるデータのうち、Xデコード31によって選択されたアドレスのデータが、データ入力スイッチ30、データ入力線32、データ出力バッファ34を介して出力されることを除けば、データを1ビットメモリに読み出す上記の例と同様である。

【0090】次に書き込みにおいても、データ線V<sub>dd</sub>リセットスイッチ118及びデータ線V<sub>ss</sub>リセットスイッチ117が、データ線114をそれぞれ高電圧(5V)と低電圧(0V)にプリチャージする。その後リセットとして、データ線間短絡スイッチ116が高電圧(5V)と低電圧(0V)にプリチャージされたデータ線114同士を短絡するため、データ線信号としては図示したように、データ線114は低電圧と高電圧レベルのほぼ中間値にリセットされる。次いでYデコード23によって選択されたワード線112が行選択スイッチ121、バッファ119、行駆動スイッチ120を介してオンされると、選択されたメモリセル111に記憶されているデータがデータ線114に信号電圧として読み出されるまでは読み出しの動作と同様である。書き込みの場合はここでYデコード23によって選択されたラッチ線113がオフされると、選択されたメモリセル111のラッチスイッチ129がオフし、メモリセル111のフリップフロップ機能が停止する。そこで次にXデコード31で選択されたデータ入力スイッチ30がオンすると、データ入力バッファ33からデータ入力線32に入力された入力データが、選択されたデータ線114に入力される。これによって、Yデコード23及びXデコード31によって選択されたメモリセル111には、データ線114に入力された入力データが記憶される。なおこのとき、Xデコード31によって選択されていないメモリセル111のデータは、上記書き込み動作によっても変化することがないことは明らかである。この後にラッチ線113がラッチスイッチ129をオンすることによってメモリセル111のフリップフロップが働き出し、選択されたワード線112がオフすることによって一連の書き込み動作は終了する。

【0091】本実施例によれば、メモリセル111への書き込み時にはフリップフロップ回路を停止させるため、フリップフロップ回路を構成するpoly-Si TFTの個々の特性ばらつきに対しても、常に安定した書き込み動作が可能になり、フレームメモリ7の歩留が向上するという長所がある。

(第三の実施例)以下、本発明における第三の実施例について、図16、図17を用いて説明する。

【0092】第三の実施例であるpoly-Si TFT液晶表示パネルの主な構成および動作は、第一の実施例のそれと同様であるので説明を省略する。第一の実施例と比較した場合の本実施例の差異は、バックライト17に代えてフロントライトを用いていることと、表示画素の

構成である。以下本実施例における表示画素の構成に関して説明する。

【0093】図16は第三の実施例における表示画素135のレイアウト概要図であり、第一の実施例における図9に対応している。第一の実施例と比較した場合の本実施例の差異は、金属電極138上に更に反射電極139と、両者を接続するコンタクトホール137が設けられていることである。更に図16におけるA-A'間の断面図を図17に示す。反射電極139にはコンタクトホール137を介してアナログ画像信号電圧が印加される。即ち反射電極139はフロントライトに対する反射板であると同時に、表示画素における液晶容量を構成する電極でもある。

【0094】本実施例においては、液晶表示への照明にフロントライトを用いているため、照明時及び反射時の開口率を共に90%近く確保できるという利点があり、照明時及び反射時のパネル輝度及びコントラストを向上させることが可能である。

(第四の実施例)以下、本発明における第四の実施例について、図18を用いて説明する。

【0095】本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略する。第一の実施例と比較した場合の本実施例の差異は、低消費電力DA変換器6の構成であり、以下これに関して述べる。

【0096】図18は第四の実施例であるpoly-Si TFT液晶表示パネルにおける、低消費電力DA変換器6の一例分の基本単位の回路構成図であり、第一の実施例における図6に相当する。フレームメモリ7から出力されたデータは各ビット毎にインバータ141、142及びインバータ143に入力し、両者の出力はフィールド切り替えスイッチ144を介してアナログ信号線66に接続される。なおフィールド切り替えスイッチ144は、フィールド信号によって制御されている。

【0097】本低消費電力DA変換器6は、バッファないし1ビットのDA変換器として動作する。フレームメモリ7から出力されたデータは1ビットで一単位の表示データを表している。これに対してインバータ141、142及びインバータ143は1ビットから0Vないし5Vの電源電圧へのバッファ処理を行い、出力をアナログ信号線66に印加する。本実施例においても、液晶の共通電極をフィールド間で0/5Vの交流に駆動している。このときアナログ信号線66に印加される出力は、例えば同じ黒色でもフィールド間で5/0Vと反転させなければならない。そのためにフィールド切り替えスイッチ144は、インバータ141、142或いはインバータ143の出力を選択することによって、アナログ信号線66に印加する出力電圧をフィールド間で反転させる。

【0098】本実施例においては「低消費電力表示モード」時に各表示画素に入力されるアナログ画像信号を1

ビット(2階調=8色)に限定したことによって、フレームメモリ7の占有面積の低減や、DA変換器における消費電力の削減を更に図ることができる。

(第五の実施例)以下、本発明における第五の実施例について、図19を用いて説明する。

【0099】図19は第五の実施例であるpoly-Si TFT液晶表示パネルの構成図である。

【0100】本実施例の主な構成および動作は、第一の実施例のそれと同様であるので説明は省略するが、第一の実施例と比較した場合の本実施例の差異は、高精度DA変換器146及びラインメモリ147が単結晶Si基板148上にLSIとして構成されていることである。なおここで高精度DA変換器146及びラインメモリ147の回路構成及び動作は、第一の実施例と同様である。

【0101】本実施例においては、高精度DA変換器146及びラインメモリ147を単結晶Si基板148上にLSIとして構成し、ガラス基板19に実装することによって、「高品位表示モード」で用いる駆動回路面積の縮小を図っている。ガラス基板19に比較して、単結晶Si基板148は熱工程に対する収縮等が著しく小さいためにプロセス時における合せ精度が良好であり、微細加工による回路面積の縮小が可能であるからである。

【0102】なお上記の単結晶Si基板148上に設けられたLSIとしては、一般にa-Si TFT向けドライバLSIとして開発、量産されている部品をそのまま流用することも可能であるし、更にまた8ビットのDA変換器を搭載する高精度ドライバLSIを用いることも可能であることは言うまでもない。

(第六の実施例)以下、本発明における第六の実施例について、図20を用いて説明する。

【0103】図20は第六の実施例であるpoly-Si TFT液晶表示パネルの構成図である。

【0104】本実施例の主な構成および動作は、第五の実施例のそれと同様であるので詳細な説明は省略するが、第五の実施例と比較した場合の本実施例の差異は、単結晶Si基板148に設けられた高精度DA変換器146の出力が信号線5には直接接続されずに、途中で信号線選択スイッチ150を介していることである。

【0105】信号線選択スイッチ150はガラス基板19上にpoly-Si TFT回路を用いて設けられており、高精度DA変換器146から入力されたアナログ画像信号を、1水平表示期間内に複数の信号線5に順次振り分ける役割を有する。

【0106】本実施例においては信号線選択スイッチ150を設けたことにより、単結晶Si基板148のガラス基板19に対する配線接続点数を低減することができる。なお本実施例では信号線選択スイッチ150は2本の信号線を選択しているために、上記配線接続点数は第五の実施例の場合の半分となっているが、選択スイッチ

150の選択する信号線を $n$ 本( $n$ は信号線本数以下の自然数)として、上記配線接続点数を信号線本数の約 $1/n$ とすることが可能であることは明らかである。

(第七の実施例)以下、本発明における第七の実施例について、図21を用いて説明する。

【0107】図21は第七の実施例であるpoly-Si TFT液晶表示パネルの構成図である。

【0108】本実施例の主な構成および動作は、第一の実施例のそれと同様であるので詳細な説明は省略するが、第一の実施例と比較した場合の本実施例の構造上の差異は、SRAMを用いたフレームメモリ7に代えて、DRAMを用いたフレームメモリ151を用いていることである。

【0109】本実施例の動作も基本的に第一の実施例と同様であるが、一秒間に60回の表示画素に対するフレームメモリ151からの表示データ書き込みの際に、同時にフレームメモリ151内のDRAMセルのリフレッシュも行っている。

【0110】本実施例ではこのようにフレームメモリにDRAMセルを用いることによって、フレームメモリ151のセル面積を簡略化し、フレームメモリ151の面積を縮小することによって、ガラス基板19の寸法をより小型にすることができる。

【0111】なお本実施例ではフレームメモリ7を特にDRAM構成としたが、一方これとは別にフレームメモリ13をSRAMとした構成が可能であることも明らかである。

(第八の実施例)以下図22を用いて、本発明における第八の実施例に関して説明する。

【0112】図22は第八の実施例である画像表示端末163の構成図である。

【0113】無線インターフェース(I/F)回路161には、圧縮された画像データが外部からbluetooth規格に基づく無線データとして入力し、無線I/F回路161の出力はI/O回路16を介してバス18に接続される。バス18にはこの他にCPU15、TCN14、フレームメモリ13等が接続されている。更にTCN14の出力はpoly-Si TFT液晶表示パネル164に入力しており、poly-Si TFT液晶表示パネル164にはフレームメモリ7、低消費電力DA変換器6、ゲート線シフトレジスタ4、表示画素マトリクス160、高精度DA変換器11、ラインメモリ12が設けられている。なお画像表示端末163には更に、電源162およびバックライト17が設けられており、バックライト17はI/O回路16により制御されている。なおここでpoly-Si TFT液晶表示パネル164は、先に述べた第一の実施例と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【0114】以下に本第八の実施例の動作を説明する。

最初にI/F回路161は圧縮された画像データを外部から取り込み、この画像データをI/O回路16を介してCPU15及びフレームメモリ13に転送する。CPU15はユーザからの操作を受けて、必要に応じて画像表示端末163を駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ13に一時的に蓄積される。ここで高品位表示モードが選択された場合には、CPU15の指示に従ってフレームメモリ13からTCN14を介してpoly-Si TFT液晶表示パネル164に画像データが入力され、表示画素マトリクス160は入力された画像を1行毎に順次表示する。このときTCN14は、同時に画像を表示するために必要な所定のタイミングパルスを出力する。なおpoly-Si TFT液晶表示パネル164が、これらの信号を用いて、表示画素アレイ160に画像を表示することに関しては、第一の実施例で述べたとおりである。なおこのときI/O回路16は必要に応じてバックライト17を点灯させる。なおここで電源162には二次電池が含まれており、これらの装置全体を駆動する電源を供給する。

【0115】次に「低消費電力表示モード」が選択された場合には、CPU15の指示に従ってフレームメモリ13からTCN14を介してフレームメモリ7に所定の画像データが送られた後に、フレームメモリ13、ラインメモリ12、高精度DA変換器11等の所定の回路部分の電源が遮断され、消費電力の削減が行われる。この時にpoly-Si TFT液晶表示パネル164が、フレームメモリ7に書き込まれたデジタル表示データを用いて、表示画素マトリクス160に画像を表示することに関しては、第一の実施例で述べたとおりである。なおこのときI/O回路16は原則としてバックライト17を消灯させる。またフレームメモリ13と比較してフレームメモリ7のメモリ容量は著しく少ないため、フレームメモリ13からフレームメモリ7への画像データ転送に際しては、CPU15の指示により所定のデータ量削減が行われている。

【0116】本第八の実施例によれば、圧縮された画像データを元にした高品位な画像表示と、低消費電力とを両立させた画像表示端末を提供することができる。

(第九の実施例)以下図24を用いて、本発明における第九の実施例に関して説明する。

【0117】図24は第九の実施例である画像表示パネルの画素構成図である。

【0118】本実施例の主な構成および動作は、第一の実施例のそれと同様であるので詳細な説明は省略するが、第一の実施例と比較した場合の本実施例の構造上の差異は、画素170の構成として、液晶表示セルに代えて電界発光効果(Electro-luminescence、以下ELと表記する)表示セルを用いていることである。表示画素170は画素容量174と画素スイッチ2を有し、画素ス

スイッチ2のゲートはゲート線3に、また画素スイッチ2の一端は信号線5に接続されているところまでは、第一の実施例の画素10の構成と類似している。しかし本実施例においては、画素スイッチ2と画素容量174はそのまま電流駆動TFT173のゲートに入力されており、電流駆動TFT173のドレイン側はELダイオード172を介して定電圧Vdが印加された定電圧線171に接続されている。

【0119】本実施例の画素部の動作を以下に説明する。ゲート線3が選択されてオン状態になると、信号線5に印加されていたアナログ信号電圧が画素スイッチ2を介して画素容量174に書き込まれ、ゲート線3によって画素スイッチ2が再びオフ状態になった後も、書き込まれたアナログ信号電圧が画素容量174に保持される。ところまでは、第一の実施例の画素10の動作とはほぼ同様である。しかし本実施例においては、上記アナログ信号電圧は電流駆動TFT173のゲートに入力されるため、ELダイオード172には上記アナログ信号電圧の値に応じた駆動電流が流れる。この駆動電流によってELダイオード172は上記アナログ信号電圧に対応した輝度で発光するため、本実施例は信号線5に印加されるアナログ信号電圧に応じた自発光表示を行うことができる。

【0120】本実施例においても他の実施例と同様に、高品位な画像表示と同時に、信号線5の駆動回路の低消費電力化を両立させることができる。

【0121】なお本実施例は自発光型ディスプレイパネルであるため、第一の実施例で述べた液晶層やバックライトが不要なこと、また液晶を有さないために画素に入力するアナログ信号電圧を交流駆動する必要が無いことは言うまでもない。

【0122】

【発明の効果】本発明によれば、低消費電力な画像表示装置を提供することができる。

【図面の簡単な説明】

【図1】第一の実施例である液晶表示パネルの構成図。

【図2】第一の実施例におけるフレームメモリの回路構成図。

【図3】第一の実施例におけるバッファないしラッチ回路の構成図。

【図4】第一の実施例におけるSRAMメモリセルの回路構成図。

【図5】第一の実施例におけるメモリセル動作タイミングチャート。

【図6】第一の実施例におけるDA変換器基本単位の回路構成図。

【図7】第一の実施例におけるアナログ信号線から表示画素マトリクスまでの回路構成図。

【図8】第一の実施例におけるゲート線シフトレジスタの回路構成図。

【図9】第一の実施例における表示画素のレイアウト概要図。

【図10】第一の実施例におけるラインメモリの回路構成図。

【図11】第一の実施例における高精度DA変換器基本単位の回路構成図。

【図12】第一の実施例における高精度DA変換器動作タイミングチャート。

【図13】第二の実施例における「低消費電力表示モード」に用いるフレームメモリの回路構成図。

【図14】第二の実施例におけるSRAMメモリセルの回路構成図。

【図15】第二の実施例におけるメモリセル動作タイミングチャート。

【図16】第三の実施例における表示画素のレイアウト概要図。

【図17】第三の実施例における表示画素A-A'間の断面図。

【図18】第四の実施例におけるDA変換器基本単位の回路構成図。

【図19】第五の実施例である液晶表示パネルの構成図。

【図20】第六の実施例である液晶表示パネルの構成図。

【図21】第七の実施例である液晶表示パネルの構成図。

【図22】第八の実施例である画像表示端末の構成図。

【図23】従来の技術を用いた液晶表示パネルの構成図。

【図24】第九の実施例である画像表示パネルの画素構成図。

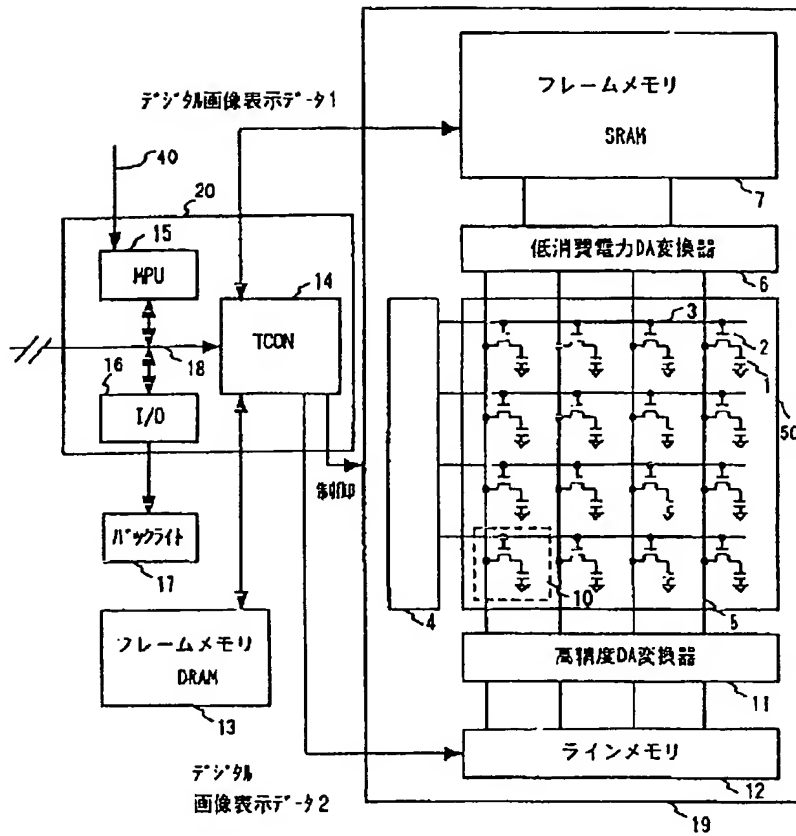
【符号の説明】

1…液晶容量、2…画素スイッチ、3…ゲート線、4…ゲート線シフトレジスタ、5…信号線、6…低消費電力DA変換器、7…フレームメモリ、11…高精度DA変換器、12…ラインメモリ、13…フレームメモリ、19…ガラス基板、20…制御部、40…モード切り替え命令、50…表示部。



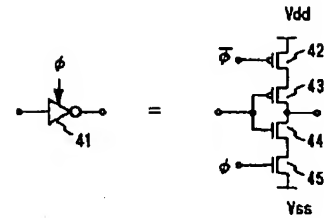
【図1】

図 1



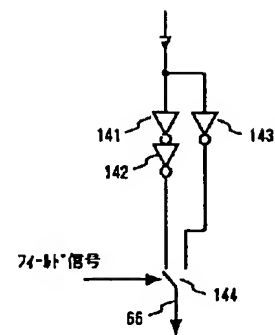
【図3】

図 3



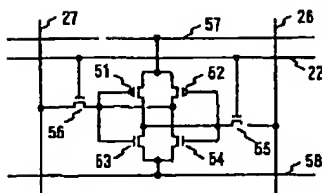
【図18】

図 18



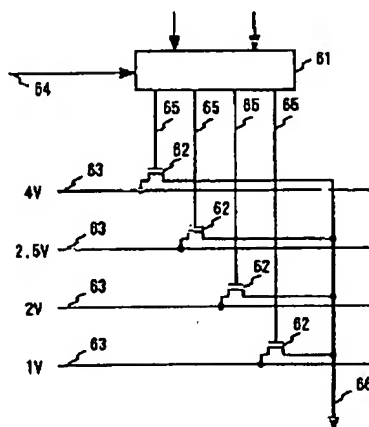
【図4】

図 4



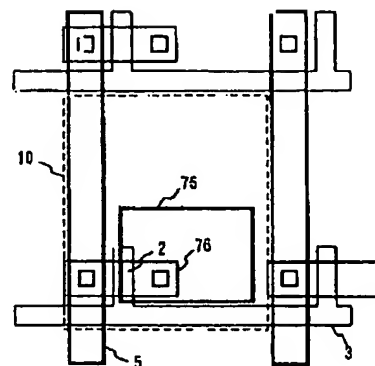
【図6】

図 6



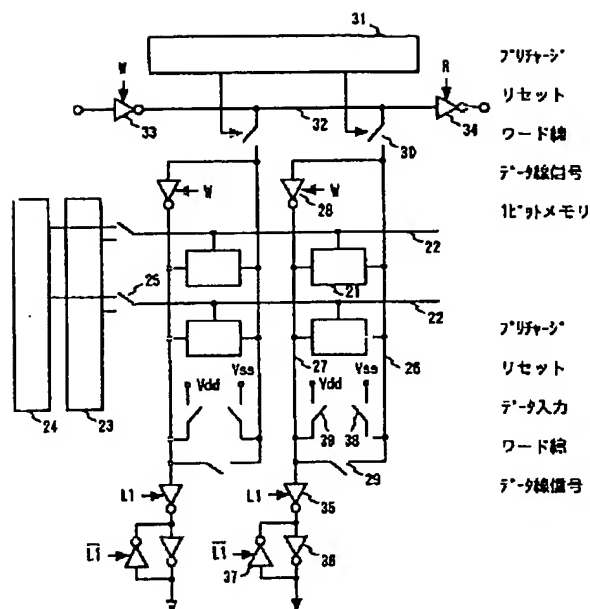
【図9】

図 9



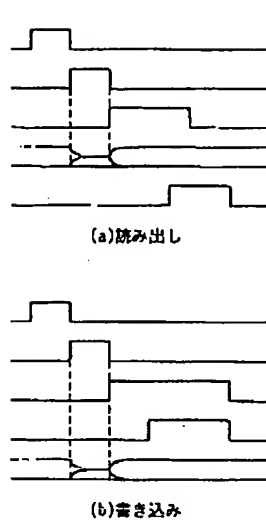
【图2】

**2**



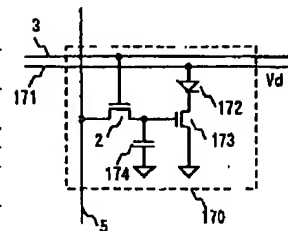
【図5】

**5**



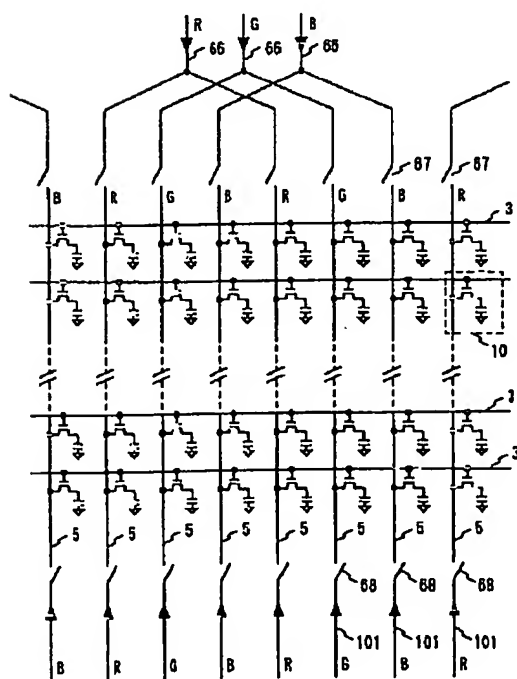
【図24】

24



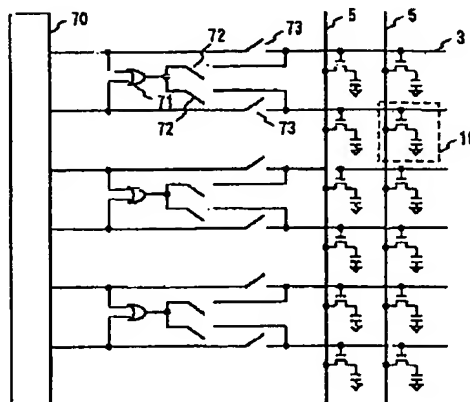
【図7】

**7**



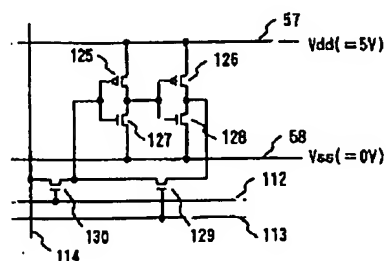
【図8】

**8**



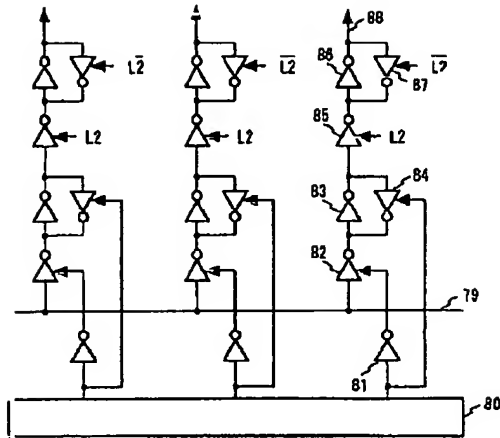
【図14】

14



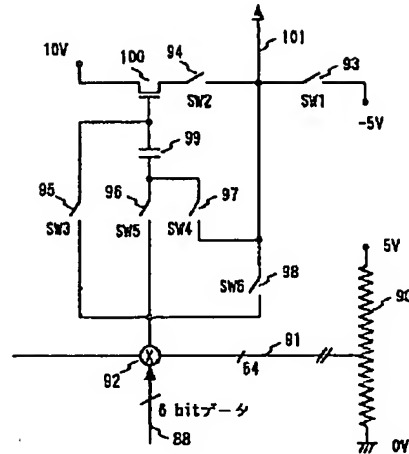
【図10】

図 10

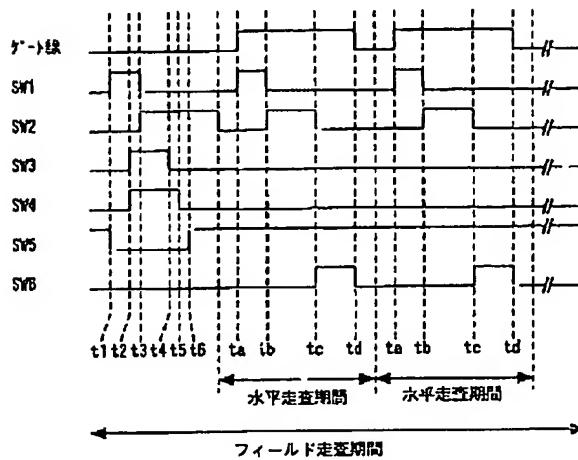


【図11】

図 11

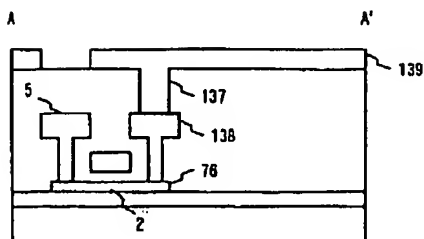


【図12】



【図17】

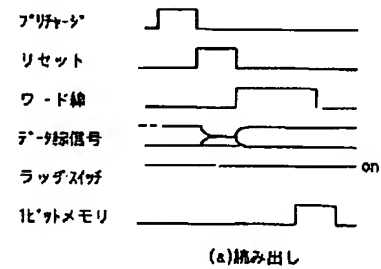
図 17



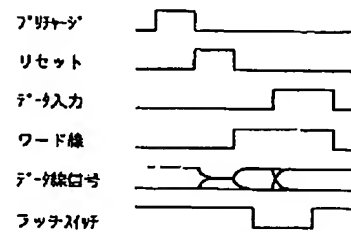
【図15】

図 15

図 15



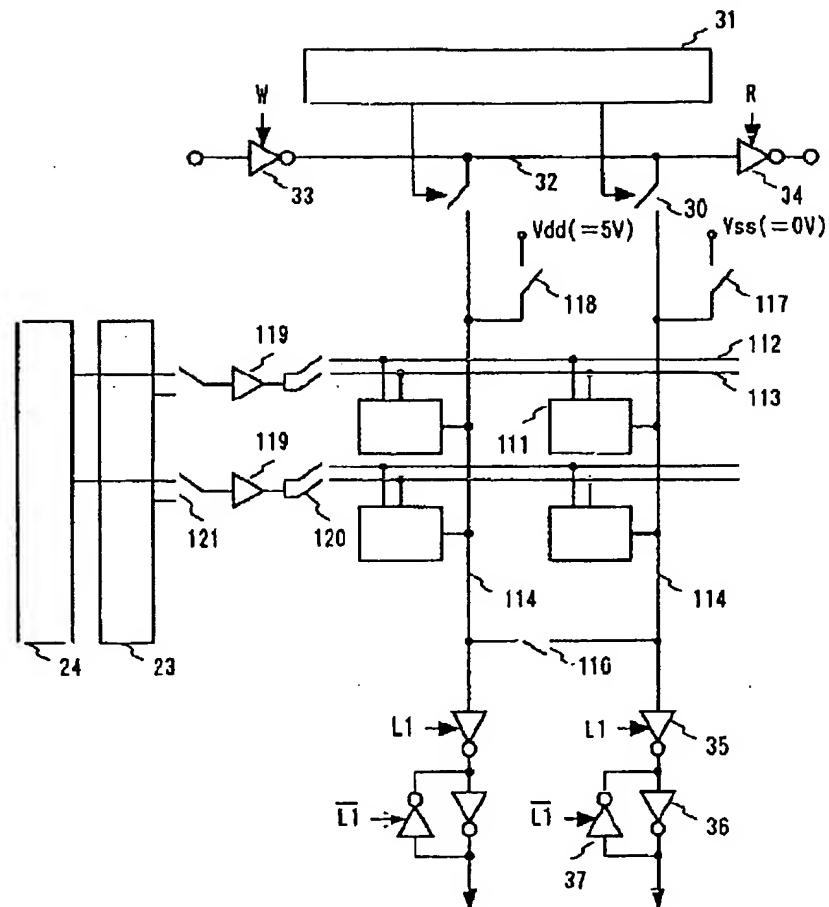
(a)読み出し



(b)書き込み

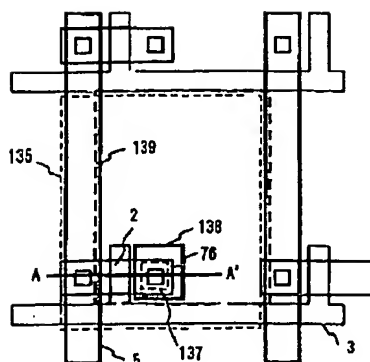
【図13】

圖 13



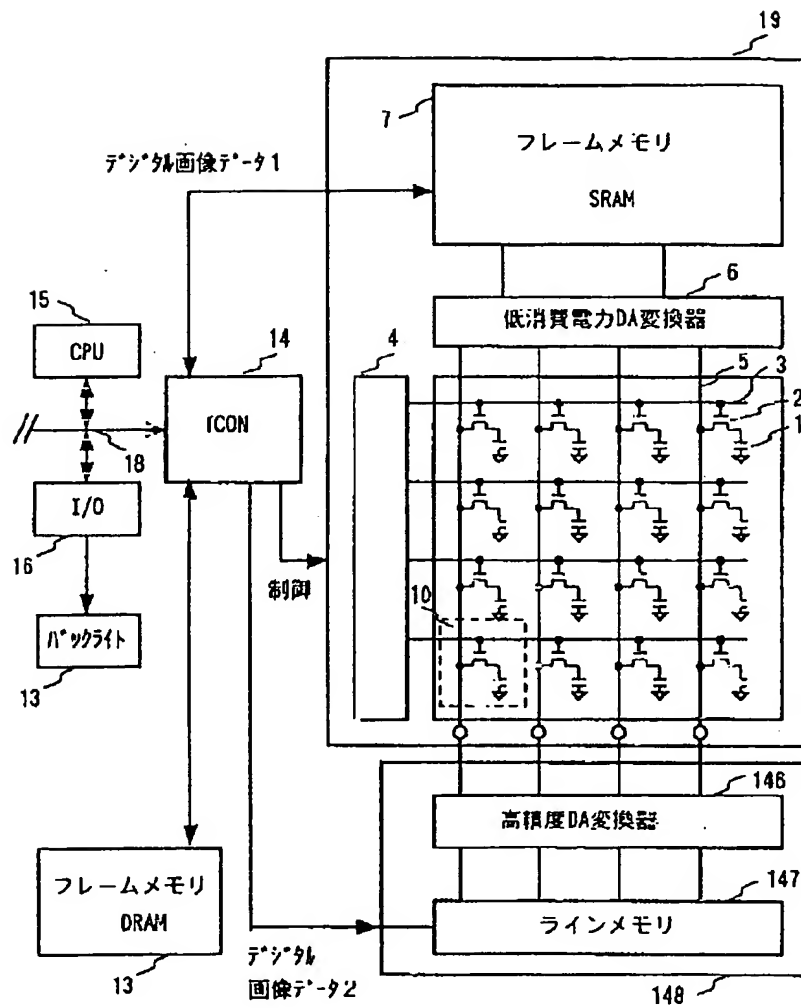
【图16】

图 16



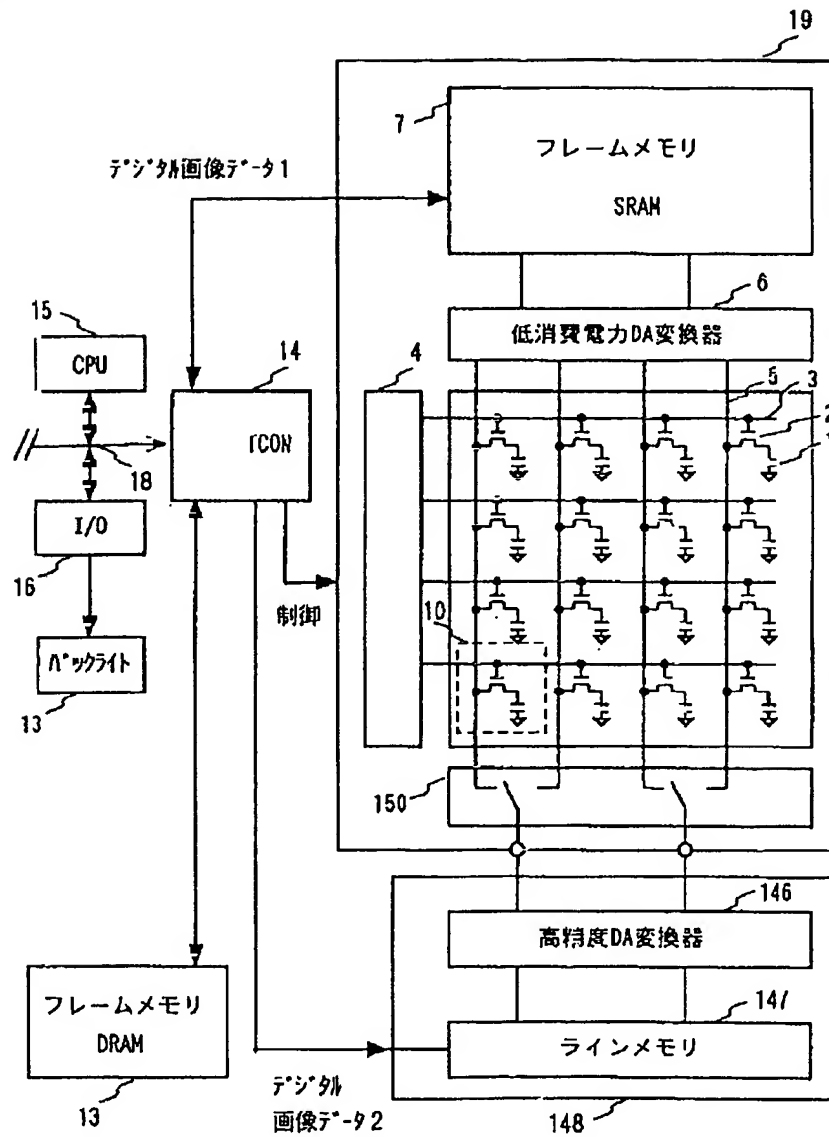
【図19】

図 19



【図20】

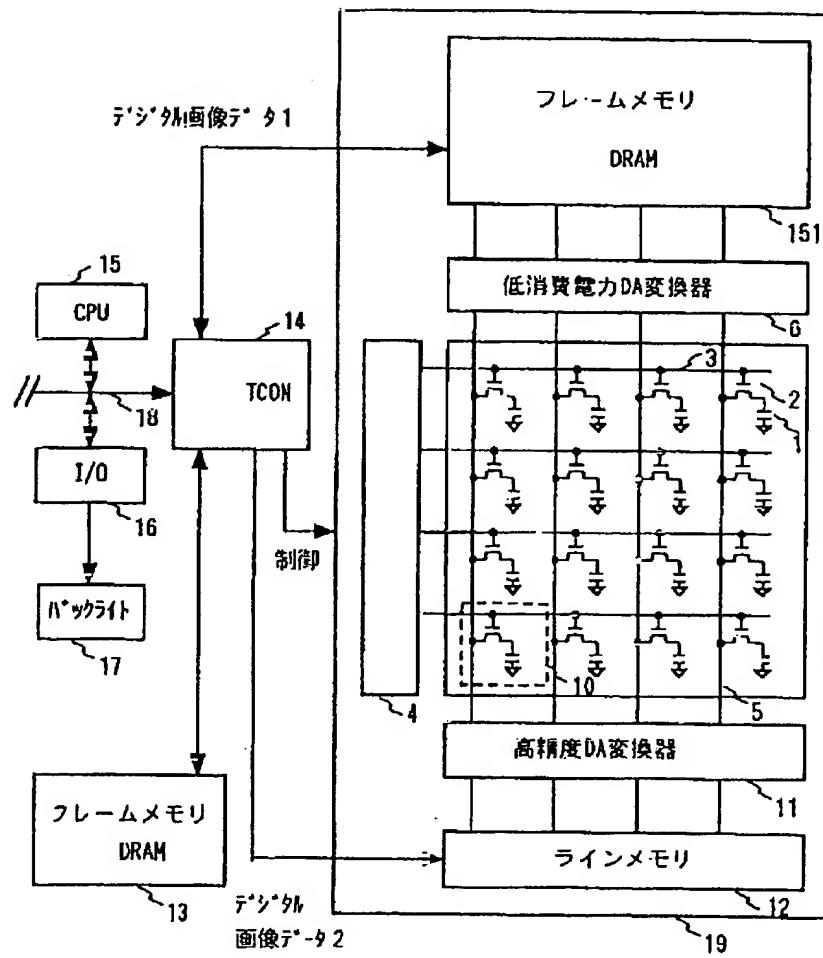
図 20





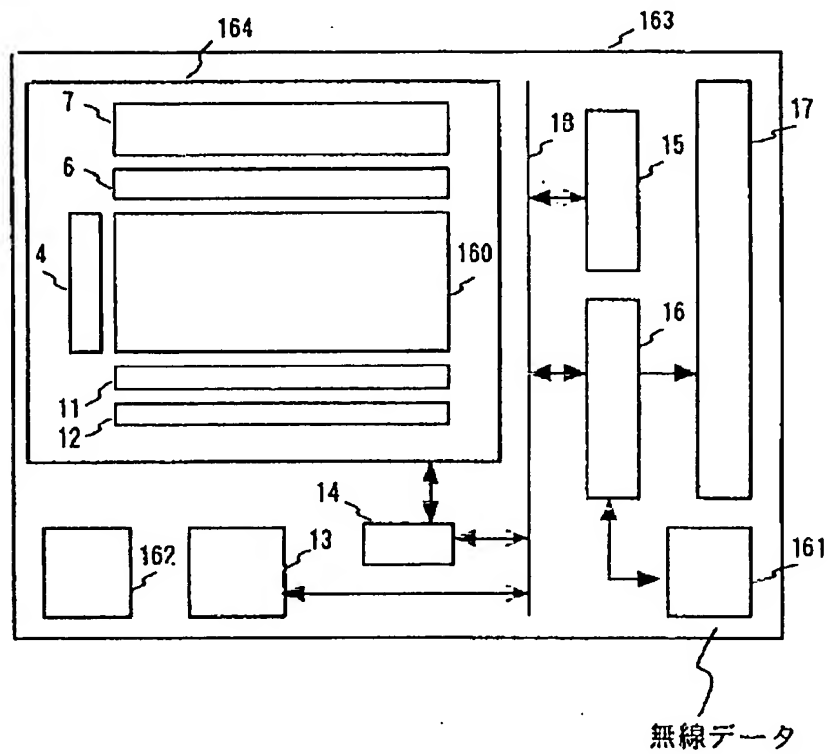
【図21】

図 21



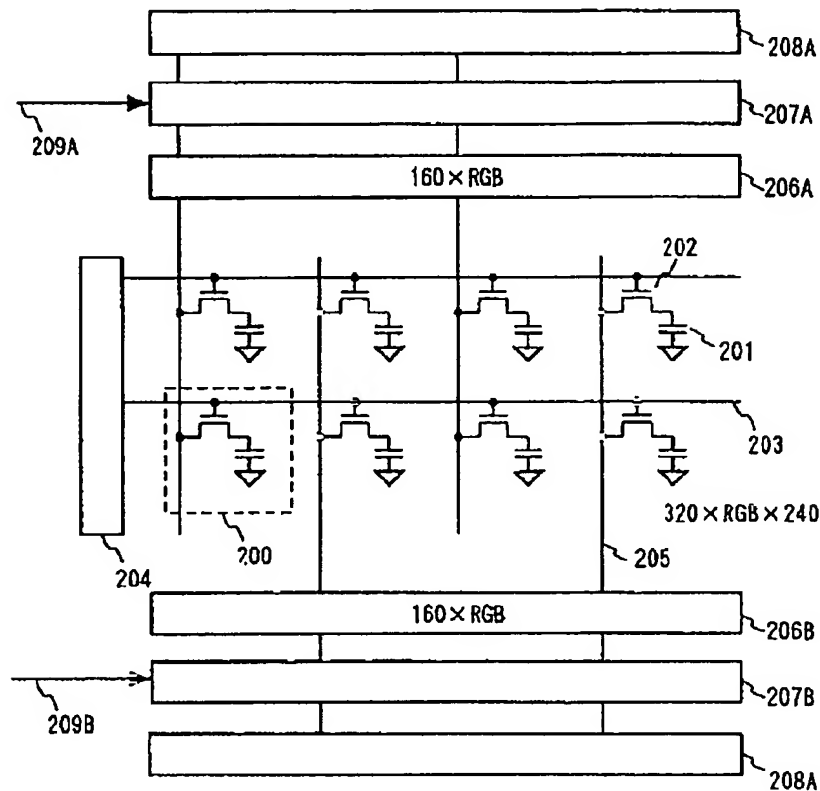
【図22】

図 22



【図23】

図 23



フロントページの続き

| (51)Int.Cl. <sup>7</sup> | 識別記号  | F I            | (参考)  |
|--------------------------|-------|----------------|-------|
| G 0 2 F 1/133            | 5 7 5 | G 0 2 F 1/133  | 5 7 5 |
|                          |       | G 0 9 G 3/30   | J     |
| G 0 9 G 3/30             |       |                |       |
|                          |       | G 0 2 F 1/1335 | 5 3 0 |

(72)発明者 宮沢 敏夫  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所ディスプレイグループ内

Fターム(参考) 2H091 FA41Z GA13 LA15  
 2H093 NA43 NA53 NA64 NC10 NC13  
 NC16 NC21 NC22 NC28 NC29  
 NC34 NC49 NC59 ND04 ND06  
 ND17 ND39 NE06  
 5C006 AA16 AC11 AC21 AF45 AF83  
 BB16 BC12 FA47  
 5C080 AA10 BB05 CC03 DD26 EE29  
 FF11 JJ02 JJ03 JJ04 JJ06